

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平8-510868

(43) 公表日 平成8年(1996)11月12日

(51) Int.Cl.⁸

H05K 3/46

識別記号

庁内整理番号

6921-4E

6921-4E

6921-4E

F I

H05K 3/46

G

E

N

審査請求 未請求 予備審査請求 有 (全 22 頁)

(21) 出願番号 特願平7-502035
(86) (22) 出願日 平成6年(1994)6月7日
(85) 翻訳文提出日 平成7年(1995)12月8日
(86) 国際出願番号 PCT/US94/06387
(87) 国際公開番号 WO94/29897
(87) 国際公開日 平成6年(1994)12月22日
(31) 優先権主張番号 08/074, 113
(32) 優先日 1993年6月8日
(33) 優先権主張国 米国 (US)
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), CA, CN, JP, KR

(71) 出願人 ミネソタ マイニング アンド マニュフ
ァクチャリング カンパニー
アメリカ合衆国, ミネソタ 55133-3427,
セント ポール, ポスト オフィス ボッ
クス 33427, スリーエム センター (番
地なし)

(72) 発明者 ガーバー, ジョエル エー.
アメリカ合衆国, ミネソタ 55133-3427,
セント ポール, ポスト オフィス ボッ
クス 33427 (番地なし)

(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

(54) 【発明の名称】 多層回路基板の隣接回路基板層間の電気的相互接続形成方法

(57) 【要約】

多層回路基板は隣接回路基板層間を電気的に相互接続される。回路基板層には通路孔が設けられ、この通路孔は通路メタルによって満たされる。この通路孔は低融点メタルによってメッキされる。粘着性のフィルムが回路基板層に蒸着形成される。多層回路基板の隣接層は重ねられ、整列され、加熱、加圧下で積層化される。低融点メタルは隣接回路基板層の間に電気的相互接続を形成する。

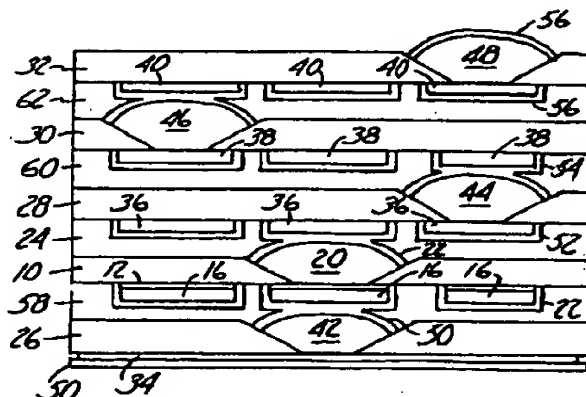


Fig. 10

【特許請求の範囲】

1. 第一回路基板層の第一面上にトレースメタルを蒸着形成する過程と、
この第一回路基板層の第一面と第二面との間に前記トレースメタルまで伸びる
通路孔を形成する過程と、
前記第一回路基板層の第二面上の通路孔から外に向かう隆起部を形成するよう
に、通路孔に通路メタルを蒸着形成する過程と、
第二回路基板層の第一面に電気接触子を蒸着形成する過程と、
第一及び第二の回路基板層の間に粘着剤が介在し、かつ第二回路基板層の電気
接触子が、第一回路基板層の通路に全体として揃うようにして第一回路基板層と
第二回路基板層を整列させる過程と、
第一回路基板層の通路メタルが第二基板層の電気接触子に電氣的に接触するよ
うに第一回路基板層を第二回路基板層に重ね合わせて積層化する過程と、
を備えることを特徴とする多層相互接続を形成する方法。
2. 前記通路は第一回路基板層を湿式又は乾式切削することによって形成され
ることを特徴とする請求の範囲第1項に記載の多層相互接続を形成する方法。
3. 第一回路基板層に孔を形成する乾式切削法はレーザ切除法からなることを
特徴とする請求の範囲第2項に記載の多層相互接続を形成する方法。
4. 請求の範囲第1項に記載の方法は、通路メタル上に低融点温度の金属を重
ねてメッキする過程を更に含むことを特徴とする多層相互接続を形成する方法。
5. 電気接触子の蒸着形成は、電気接触子としての電気パッドを形成するトレ
ースメタルの蒸着形成を含むことを特徴とする請求の
範囲第1項に記載の多層相互接続を形成する方法。
6. 請求の範囲第1項に記載の方法は、第一及び第二の回路基板層に、少なく
とも第三の回路基板層を重ね合わせることを含むことを特徴とする多層相互接続
を形成する方法。
7. 第一面と第二面を有し、この第一面から第二面にわたって伸びる通路孔を
含む第一の回路基板層と、
第一回路基板層の第一面に蒸着形成したトレースメタル層と、

前記トレースメタルと電氣的に接触する導電性通路材料からなり、第一回路基板層の第二面上で前記通路孔から外に向かう隆起部として第一回路基板層の通路孔に形成された導電性通路メタルと、

第一面を有する第二回路基板層と、

第一回路基板層の第一面と第二回路基板層の第一面との間にある粘着剤と、

第二回路基板層の第一面上に形成された電気接触子であって、前記通路孔及びこの接触子と前記トレースメタルとの間に導通路を形成する導電性通路材料と全体として整列する電気接触子と、

を備えることを特徴とする多層相互接続。

8. 第一及び第二の回路基板層は重合体フィルムからなることを特徴とする請求の範囲第7項に記載の多層相互接続。

9. 第一面と第二面の間に延在し、前記第一面上のトレースメタル層まで伸びていて、このトレースメタル層に電氣的に接触し、かつ第一回路基板層の第二面上で通路孔から外側に向かう隆起部を形成する導電性材料を備えた通路孔を有する第一回路基板層を形成する過程と、

第一面に設けた電気接触子を有する第二回路基板を形成する過程と、

第一回路基板層の通路孔が、実質的に第二回路基板層の電気接触

子に整列するするように第一回路基板層を、第二回路基板層に整列する過程と、

第一基板層の導電性通路材料が第二回路基板層の電気接触子に電氣的に接触するように第一回路基板層を第二回路基板層に重ね合わせ積層化する過程と、

を備えることを特徴とする多層相互接続を形成する方法。

10. 少なくとも第三の回路基板層を、第一及び第二の回路基板層に重ね合わせる工程を含むことを特徴とする請求の範囲第9項に記載の多層相互接続を形成する方法。

【発明の詳細な説明】

多層回路基板の隣接回路基板層間の電氣的相互接続形成方法

発明の背景

本発明は多層回路基板に関し、更に詳しくは改良された多層回路基板の回路基板層の電氣的相互接続、及びこの相互接続を形成する方法に関する。

多層プリント回路基板は技術的には公知であり、複雑な電気回路を構成するために用いられている。(ここで使用する回路基板は電気回路要素を相互接続する導電性トレースのパターンからなっている。導電性トレースは、電気回路要素を機械的に支持する絶縁基板に接合されるか、又はそれに組み合わされる。これには、一面又は両面基板、多層構造、ハイブリッド、マルチチップモジュール、基板上にチップを設けたアセンブリ等が含まれる。導電性トレースは、例えば電気メッキ、エッチング、スパッタリング、粘着剤を使用した機械的な貼着等、種々の技術を使用して形成することが可能である。基板は可撓性のものでも剛性のものでも良く、適当な材料、例えば重合体(ポリマー)、セラミック、ガラス、シリコン等であっても良い)。電気回路要素間の電氣的接続は多層回路基板の回路基板層上に設けられる。多層回路基板層を使用することによって、回路の設計者は、数多くの相互接続を要する多くの回路要素を使用した複雑な回路設計をすることが可能になる。多層回路基板は単位容積当たりの回路要素の密度と機能性を向上させる。

多層回路基板の各回路基板層はワイヤとして働き、かつ種々の回路要素を相互に接続するのに利用される電氣的接続、又は電気トレースを支持している。隣接回路基板間の接続には複数の「通路(via

る。この技術は非常に細いラインと細かい通路(積み重て埋め込んで隠される)の形成を可能にし、上述した従来のメッキスルーホール技術に比べ、非常に高い回路密度をもたらす。しかし、この技術は通常連続バッチ処理によって行われるため、コストが非常に高くなる。それに、バッチ処理自体は大量生産には向かず、また一つの欠陥層を蒸着形成すれば総ての部分に及ぶ結果、低い歩留まりしかえられない。

「多層回路基板の製造方法」と題してD a i g l e等に与えられた1991年9月10日発行の米国特許第5046238号には、多層回路基板の層間に相互接続を形成する方法が記載されており、ここでは参考文献として挙げておく。この技術は高価なフルオロ重合体（ポリマー）を使用して実施されており、その処理は伝統的に困難なものとされている。この処理の困難性の中には粘着剤の問題、即ち積層化処理のための高温（700°F以上）要件が含まれている。更に、処理が大量生産への転換が容易ではないバッチ形式で行われている点も難点である。

発明の要約

本発明は改良された配線密度を持つ多層回路基板を組み立てる方法を提供する。本発明は、メッキスルーホールが占める面積よりも小さい面積を占め、積み重ねられ、埋め込まれ、隠された通路を備えた多層回路基板の隣接回路基板層の間に相互接続を形成する改良された方法を提供する。本発明はMCMの組立に共通するような高コスト、少量生産方式には依存しない。更に、本発明は製造工程数を減らし、連続処理方法に比べて、完成部品の歩留まりを向上させる多層回路基板組立のための並行処理を提供する。各回路基板層は別々に組み立てられるため、最終工程で組み込まれる以前に各基

s)」を用いる。この通路は隣接層の間に孔を形成することによって造られる。この孔は二つの隣接層の間に電気接続を形成するための導電性材料によって満たされる。

プリント回路基板（PCB）の組立（或いは、プリント配線基板又はメッキスルーホール技術として知られる）に於ける典型的な例では、電気トレースは多層回路基板の各回路基板層に分けて形成される。次いで、これら多層回路基板の各回路基板層は、隣接層間の絶縁性接合層と共に積み重ねられ、整列して組み込まれる。それから、この組み込まれた層は加熱、加圧処理を受け接合される。通路孔（via hole）は連続する層上のパッドに相互接続する適切な位置に開けられる。電氣的相互接続は通路孔の側壁に導電性材料を適用することによって完成される。従来の技術では、金属製の通路接触パッドが回路基板上で十分な面積を有し

、孔開け断面そして／又は何れの不整列も許容することが要求されている。そのため、こうした大きいパッド面積は回路基板上の回路要素密度に制限を与えることになる。また、埋め込み式の通路を形成するためには、付加的な処理が要求される。即ち、上記の構造は小組立部品として処理され、その幾つかを積み重ねて始めて完全な基板となる。

半導体加工とその先進の材料の出現によって、回路基板の組立は上述のプリント回路基板よりもっと微細なスケールで出来るようになった。その例として、ハイブリッド、マルチチップモジュール(MCM)等が含まれる。MCMは宇宙航空用、軍事用、スーパーコンピュータ用として少量にしか生産されていない。その一例は、MCM-Dsである。ここでDは蒸着(deposition)を意味し、そこでは銅又はアルミニウムトレースに近い薄膜と、有機性又は無機性の誘電体とを使用し、非電導性の無機物質上に回路が構築される。これらの技術を用いるとき、多層回路は連続処理によって形成され

板層を検査することが可能である。

本発明の一実施例では、電気的絶縁性材料の一面に、電気回路トレース並びに相互接続用パッドを形成する導電性材料を蒸着形成する。導電性トレースは絶縁性材料中の通路が欲しい位置に孔を形成することによって回路基板層の非回路形成面に露出される。

相互接続は絶縁材料に形成した孔に、絶縁材料の表面から突き出た導電性材料からなる剛性の隆起部(クラウン)を設けることによって形成される。隣接層上の隆起部と対応するパッドとの間に電気的に良好な金属-金属結合を形成することが出来る導電性メタルが隆起部又はパッド上、多くの場合その両者に蒸着形成される。

本発明の他の実施例では、電気絶縁性接合材料が上述のように形成された回路基板層の少なくとも一面に蒸着形成される。次いで、これら回路基板層を複数整列配置して、熱と圧力を加えて一回の積層化工程で融合させる。隆起部表面の金属はパッド上の金属と結合し、層間に電気的相互接続を形成し、絶縁性材料は回路基板層を一括保持すると共に、通路接続を他から絶縁する。

上記組立方法はバッチ処理によっても、連続処理によっても、またその両者によっても実施可能である。連続処理による組立方式は回路基板層の大量生産を可能にし、PCBやMCM生産で実施されているバッチ方式による処理を越える明らかな利点をもたらす。連続処理の中で組立の大部分を成し遂げてしまう能力は、本発明の重要な特徴の一つである。

本発明の更に他の実施例では、回路基板層は上述の方法で組み立てられ、そして上述の方法で加熱、加圧かで積層化される。しかし、そこで使用する絶縁性接合材は、回路基板層の平面方向には絶縁性を示し、その平面から出る方向には導電性を示す異方性導電粘着剤によって置き換えられる。

図面の簡単な説明

第1図は誘電性フィルム回路基板層の側断面図。

第2図は粘着層及びシード（種）メタル層を含む第1図の回路基板層の側断面図。

第3図はホトレジストパターンを含む第2図の回路基板層の側断面図。

第4図はトレースメタルを含む第3図の回路基板層の側断面図。

第5図は回路基板まで伸びた通路孔を含む第4図の回路基板層の側断面図。

第6図はホトレジストの除去及び中空でない通路のメッキ後の第5図の回路基板層の側断面図。

第7図は粘着層及びシードメタル層の除去後の第6図の回路基板層の側断面図。

第8図はカバーメタル層を蒸着した後の第7図の回路基板層の側断面図。

第9図は粘着性フィルム及び複数の離間した回路基板層を含む第8図の回路基板層の側断面図。

第10図は本発明による多層回路基板を形成するための積層化処理を施した後の第9図の回路基板層の側断面図。

第11図は試験試料の側断面図。

好適実施例の詳細な説明

第1図から第11図は断面図であって、図の明確さを保つためクロスハッチン

グ(網目状の陰影)は省略してある。

第1図は回路基板層10の断面を示す。好適な実施例では、この

回路基板層10は既製の誘電性重合体フィルムから成っている。特定の誘電性フィルムは選択事項に属するが、ポリイミド薄膜は好適に作用するものの一例である。第2図に示すように、導電性メタル層と、必要に応じて粘着層が回路基板層10の第1面上に蒸着形成される。この粘着層は誘電性フィルムにメタル層を接着する際の助けとなる。粘着層の組成は使用するメタル材料及び誘電性材料によって選択する事項である。層12の外側のメタル層部分は銅、又はその他適当な導電性メタルを使用して、適切な方法によって蒸着形成することが可能である。電着は好適な方法の一つである。こうして設けられたメタル層12は、この後に蒸着形成される層に対し基礎となる層として働く。

次に、第3図に示すように、ホトレジスト14をかける。このホトレジスト14は標準的なホトレジストで、従来の技術を用いて回路基板層10に施される。ホトレジストはマスクを通して露光される。次いで、ホトレジストを現像し、ホトレジスト部分を除去し、基板材料を露出させ、そして第3図に示すように、所定のパターンを備えたホトレジスト層14が形成される。

ホトレジスト層14をパターン化した後、第4図に示すように、露出した粘着層及び導電性メタル層16上にトレースメタル層16を蒸着形成する。好適実施例では、トレースメタル層16は銅から成っていて、層12の露出部分だけに形成されるように電着技術によって蒸着形成する。こうして、トレースメタル層16は回路基板層10上に支持された電気回路を形成する。また、このトレースメタル層16は、電気的要素が完成した多層回路基板に組み込まれた際には、それら要素を相互に接続する電気的トレースを形成する。従って、トレースメタルは、隣接する回路基板層の相互接続に利用される電気的「パッド」の役をする。上記の誘電性基板上での回路

形成に関する記載は、誘電性基板上に回路トレースを蒸着形成する方法を示すものであるが、本発明の要旨を変えること無しに、他の方法を用いて誘電性基板

上に回路トレースを蒸着形成することも可能である。例えば、スパッタリング法、無電解メッキ法、ドライ（気相）エッチング法等を含む付加的方法及び削減的方法によっても可能である。

次に、第5図に示すように、回路基板層10を通して通路孔18を形成する。好適実施例では、この通路孔18は湿式切削技術を用いて形成される。この方法は水酸化カリウム等の高温流体によるエッチングを応用する。ホトレジスト層14とトレースメタル層16は回路基板層の部分を保護している。通路孔18が回路基板層10を突き抜けて層12に達するまで、十分な時間かけて湿式切削を行う。

上に述べた発明は、メッキスルーホール技術に特有な環状リングの使用を必要とせず、そのため回路密度を上げることが可能になる。他の実施例に於いても、適用可能な湿式又は乾式切削法を使用して通路孔を形成することが可能である。例えば、レーザ融除法、イオン切削法、反応性イオンによるエッチング法、機械プレス法等があり、これらの内のあるものは機械ドリルによって形成する孔よりも小さい孔の形成を可能にする。こうして、更に小さい通路孔と、回路密度の更なる増加が得られる。

一旦、通路孔が形成されると、回路基板層10の両側にあるホトレジスト層14は除去され、回路基板層10は、第6図に示すように、通路メタル20によってメッキされる。この通路メタル20は、その反対側のトレースメタル層16と別々に、又は同時にメッキすることができる。通路メタル20は、層12を介してトレースメタル層16と電氣的に接触すると共に、回路基板層10の上面より

上に伸びる「バンプ」（隆起部）又は「クラウン」（冠部）を形成する。この隆起部は、本発明による隣接回路基板層を電氣的に相互接続するのに使用される。通路メタル20は電氣的良導性と、半田に比べて高い融点を備えていなければならない。通路メタル20は500℃以上の温度で融けるものであることが好ましい。トレースメタル層16は隣接回路基板層の通路メタル隆起部に接触する電氣的「パッド」を形成する。粘着層及びシードメタル層12は回路基板層10の回路側からエッチングによって除去される。この時、回路基板層16の僅かな部分

も除去される。この様子を第7図の断面図に示す。

次に、第9図に示すように、第2メタル層22が通路メタル20及びトレースメタル層16上に蒸着形成される。一実施例では、第2カバーメタル層22は低融点メタル（他のメタル層に比べ相対的に低い融点）から成り、このメタル層は、層間の電氣的に安定な相互接続を形成するために、隣接回路基板層上のパッドとの融合に使用される。隆起部とパッドは冶金学的に同一又は異種のものであっても良く、その金属量は安定な電氣的結合を得るのに十分な量でなければならないが、リフローによって隣接相互接続と短絡を起こすほど多すぎる量であってはならない。このカバー層として適当な金属には、錫-鉛、半田、錫、金-錫等の金属、合金が含まれる。カバー層22は電気メッキ、無電解メッキ、スプレー等の方法で蒸着形成することが出来る。無電解メッキ法によって隆起部及びパッド上に蒸着成形した錫は冶金学的に良好な一例である。カバーメタル層の融解温度には、重合体フィルム、回路基板層10又は粘着層58、24、60、62の劣化温度を越えてはならない上限がある。この実施例では、金属界面におけるリフローがあることが望ましいが、金属が融解することは必要ではない。他の実施例では、例えば

冷間溶接、超音波溶接等他の方法による接合を含んでいる。相互接続が接触接合だけで行われたこともある。大量、低コスト生産への転換が可能な連続巻き板（ウェブロール）を扱う方式で上述の全ての組立工程を実現することは望ましいが、これに強制するものではない。

第9図は隣接回路基板層の間に設けた電氣的絶縁性接合フィルム24を含む回路基板層10を示している。更に、第9図は、上述の本発明によって用意された回路基板層26、28、30、32を示している。回路基板層26から32は、それぞれトレースメタル層34、36、38、40を含んでいる。通路メタル42、44、46、48は、それぞれ回路基板層26、28、30、32の通路孔に蒸着形成される。カバーメタル層50、52、54、56は、回路基板層26、28、30、32のトレースメタル層34、36、38、40及び通路メタル42、44、46、48に蒸着形成される。第9図に示すように、本発明は、通

路44、46、42、20によって示すように、埋め込んだ隠れた通路や、積み重ね通路を形成するのに好適である。電氣的絶縁性接合フィルム58、24、60、62は、回路基板層26、28、30、32上に蒸着形成されて隣接の回路基板層を分離する。使用する特定の重合体は選択事項に属するが、エポキシ化合物が好適であることが判った。第9図には5つの層だけが図示されているが、本発明は複数の回路基板層を層状に組込んで、図示のような相互接続構造の形成を可能にすることが理解されであろう。また、こうした相互接続は一層又は多層を剛性基板に取り付けるのに利用できることに注意すべきことである。例えば、フレックス回路の隆起部と基板上のパッドを着けることによって、フレックス回路をプリント回路基板に取り付けることが出来る。

回路基板層10、26、28、30、32の形成完了に続いて、各回路基板層は、第9図に示すように、積み重ねられ、整列させられる。特に、一つの層の隆起通路メタルは隣接層の対応する電気パッドと整列するように組み合わせられる。この整列処理は適当な手段を用いて行われる。整列ピンを利用した機械的整列法も巧く働く一つの方法である。

回路基板層10、26、28、30、32が第9図のように整列されると、加熱、加圧処理によって積層化が行われ、第10図に図示の構造が形成される。この積層化によって、一つの層の隆起部がその隣接層の電気パッドに接触し、低融点金属が溶け合って、電気接触が形成される。これと同時に粘着層も溶け合って、回路基板層を一括保持すると共に、電気接触点を絶縁する機械的結合が形成される。層状化条件は選択事項に属するものであり、そこに含まれる重合体及び金属に依存する。適用可能な圧力範囲は0.15MPa-5MPa、より好ましくは0.3MPa-3.5MPa、更に好ましくは0.7MPa-1.7MPaである。また、層状化のための温度範囲は80℃-425℃、より好ましくは130℃-350℃、更に好ましくは175℃-280℃である。金属-金属間結合は瞬時に形成される。従って、積層化時間は選択した粘着性接合材料と、それが接合を起こす温度とに依存する。

本発明による他に実施例では、回路基板層は上述のように組み立てられる。次

いで、隆起部と回路要素は、例えば金、錫、ニッケル、パラジウム等の導電性金属によって薄くメッキされる。本発明によるこの実施例の場合、第9図に図示の層を接合するために用いた絶縁性接合材58、24、60、62は、異方性導電接着剤で構成される。これらの接着剤は一方向に電気を通すが、他の二方向に対しては絶縁性を示す。この実施例の場合、メタルパッドと隆起部

との直接結合は行わない。所定の隆起部とこれに対応するパッドとの間に押圧された非常に薄い粘着膜を介して電気接触が形成される。異方性導電接着剤の一形式に関する一例は、3M社が保有する1992年9月1日発行の米国特許第5143785号に記載されている。この接着剤は、結合形成のために加熱、圧力下で圧縮されると、樹脂内に分散している細かな導電性粒子が隆起部と接触パッドの間で捕獲され、その間で圧縮されて電気接触を形成するように構成されている。接着剤はその場に導電性粒子を捕獲したまま固化する。こうした接合にはリフローの必要はなく、従って積層化を界面金属の融点以下の温度で行うことが出来る。

第11図は回路基板層72、74を有する試験試料70を示す。回路基板層72は銅層76を有し、回路基板層74は銅層78を有している。隆起部80、82、84、86は銅層76と銅層78の間に伸び、本発明に従って銅層78に接触する。絶縁性の誘電性粘着層88は回路基板72を回路基板74から分離している。

この試験試料70と同じ試料6個を用意した。各試料の隆起部の総数は16個であった。銅層76と銅層78との間の電気抵抗を測定した。6個の試料は総て0.10Ω以下の抵抗を示した。回路基板層72及び74を引き離して個々の隆起部を試験した。試料を引き離したとき、殆どの隆起部は銅層78の方に移動した。4点式プローブを使って各隆起部の電気抵抗を測定したところ、それぞれ0.10Ω以下の抵抗を得た。0.5mΩと言うような低い抵抗も観測された。

本発明による回路基板層を積層化する際、各層の端部は粘着剤で覆われシールされる。このことは高温多湿条件下に於ける電気接続の信頼性を改善するものである。これら試料のように組み立てた試料は温度85℃、相対湿度85%で10

00時間にわたる耐湿度試

験に生き残った。

もう一つの例では、直径及び高さがそれぞれ $200\mu\text{m}$ 及び $25\mu\text{m}$ で、錫をそのカバーメタルとした隆起部をピッチ40ミル(1/1000インチ)で、 4×5 インチ角に配列した隆起部を有する柔軟性Kaptonポリイミド基板を用いて、第11図に図示のものと同様に組み立てた多くの試料を錫メッキの銅基板に接合した。ミネソタ州セントポールのMinnesota Mining and Manufacturing (3M)社から出されている高性能9900エポキシ粘着フィルムを接合用粘着剤として使用した。温度 450°F 、圧力500Psiで30分間積層化処理を施した。接合処理の後、各通路を囲む銅をエッチングで落とし、単一通路当りの抵抗を測定したところ、 $10\text{m}\Omega$ 以下であった。光学顕微鏡及び走査電子顕微鏡を用いた試験試料の断面検査によって、隆起部とパッドの界面で良好な電気接触を示す錫のリフローが見られた。このような層を複数含む試料も組み立てた。

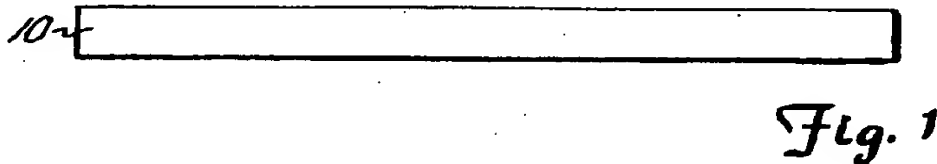
以上述べたように、本発明は多層回路基板に於ける隣接回路基板層間の改良された電氣的相互接続を提供するものである。本発明による回路基板層の製作方法は、TAB及びフレックス回路要素用として既に大量に生産されている微細ピッチの金属回路層の向上にその基礎を置いている。また、本発明の回路基板層組立に使用する積層化技術は、一般的に使用される大量プリント回路基板製造の強化にその基礎を置いている。従って、本発明はこれら二つの充分に開発された技術を結び合わせ、高密度回路の範囲に属する相互接続密度を有し、しかも非常に低コストで従来の技術及び材料を使用した回路基板を製造するための簡単かつ改良された電氣的相互接続法を含んでいる。総ての回路要素は積層化処理以前に組み込まれるから、各回路基板層は完全な多層構造とする積層化処理以前に検査する

ことができ、そのため生産歩留まりは向上する。多層回路基板の組立は、それを唯一回の積層化工程で行う、所謂並行処理によるから、従来処理工程に比して多大なコスト節減をもたらす。また、本発明は従来のPCB技術に比べより小径の通路を形成し、かつ何ら他の工程を付加すること無しにその通路を埋め込んで隠

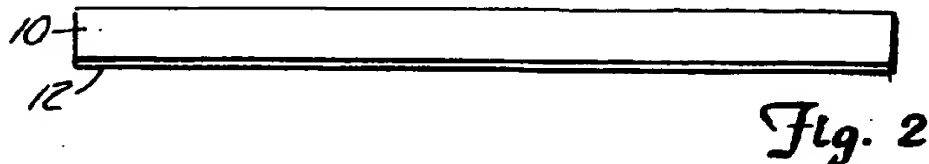
した状態で積層することが可能な通路形成法を提供している。この小径の通路は本発明によって達成される回路密度の増加をもたらす。また、本発明によれば、広い範囲の誘電性フィルムを使用して個々の回路基板層を形成することが可能である。上述の説明では、電気パッドに接触する隆起部について記載したが、本発明は一つの隆起部が他の隆起部に接触する場合にも適用し得るものである。

これまで、好適実施例について本発明を説明してきたが、本発明の精神と範囲を逸脱することなしに、その形状及び細部に関して変形が可能であることを当業者は認識するであろう。例えば、通路孔はレーザ切除法、反応性イオンによるエッチング法、機械プレス法、ホトイメージ法、化学切削法、機械的形成法、鑄造法等、湿式又は乾式処理を使用して形成することが可能である。上記以外の粘着剤及び誘電性材料を使用することも可能である。誘電性物質フィルムを隣接回路基板層を接合するのに適したフィルムに置き換えることによって、粘着剤を総て除くことも可能である。例えば、ポリアミド等は適合する材料である。また、本発明はマルチチップモジュール、ダブルメタル（グラウンドプレーン）のタッパ自動接合、その他マイクロエレクトロニクス用相互接続装置に使用することが可能である。

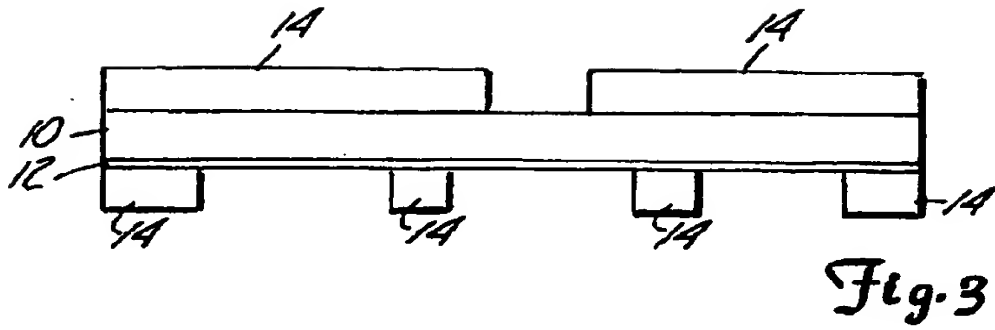
【図1】



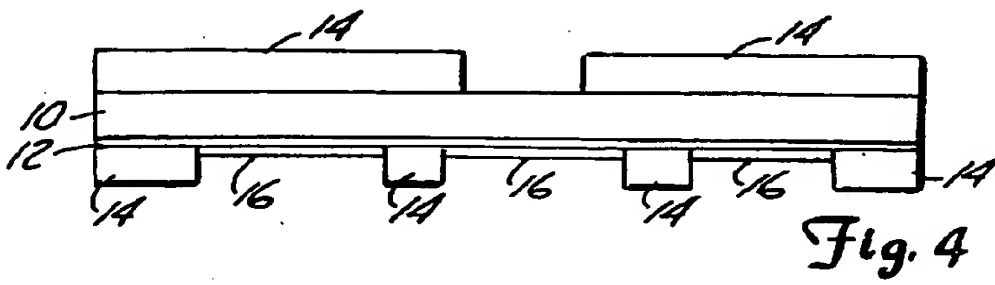
【図2】



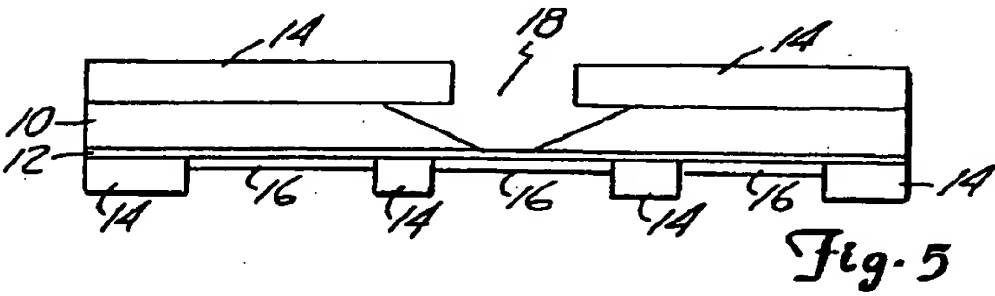
【図3】



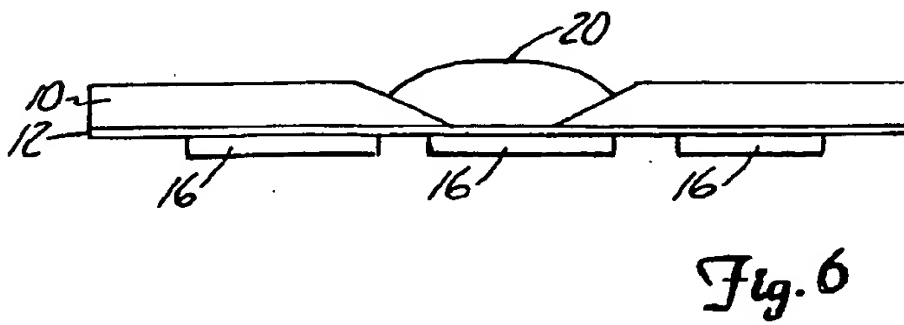
【図4】



【図5】



【図6】



【図7】

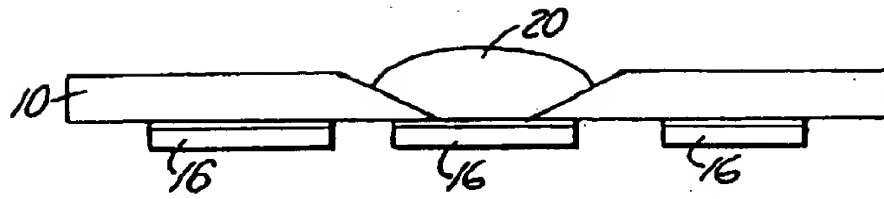


Fig. 7

【図8】

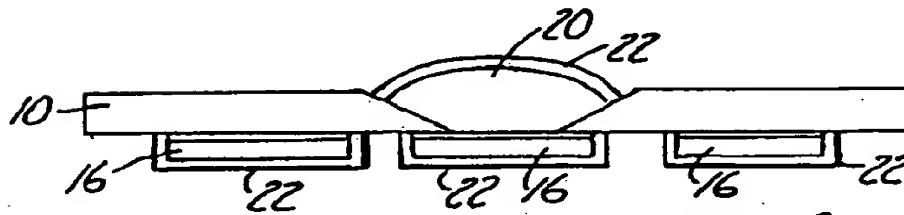


Fig. 8

【図 9】

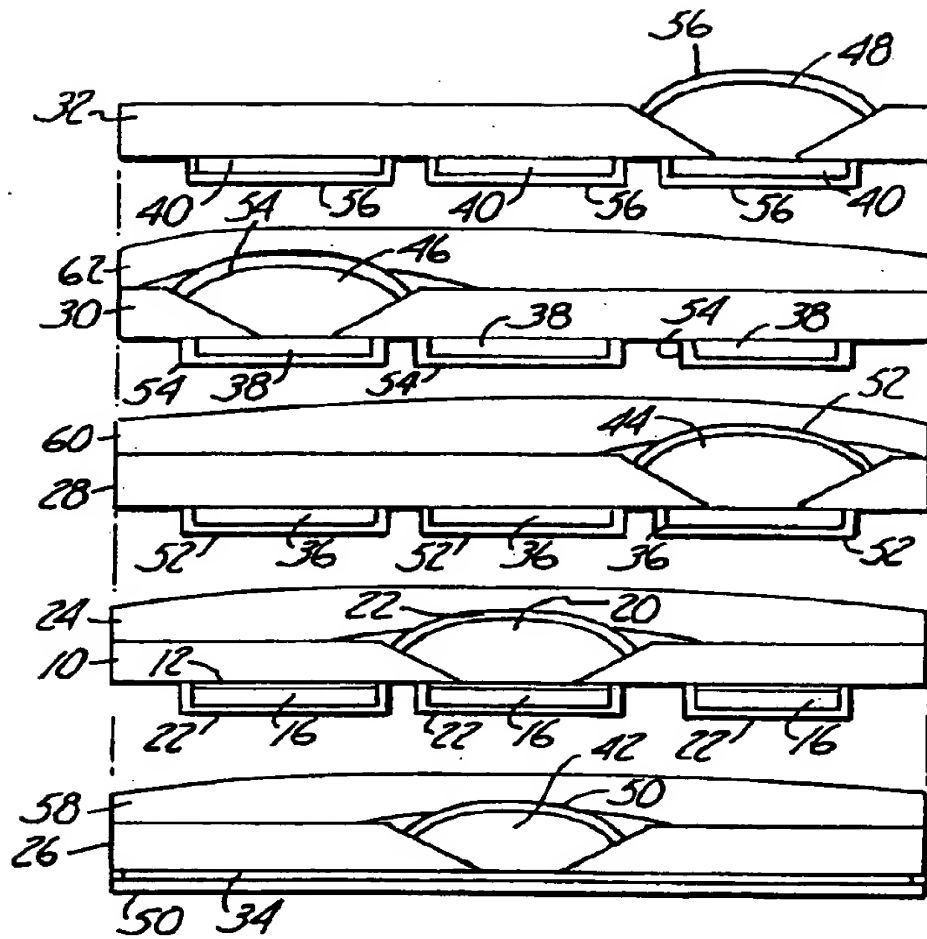


Fig. 9

【図10】

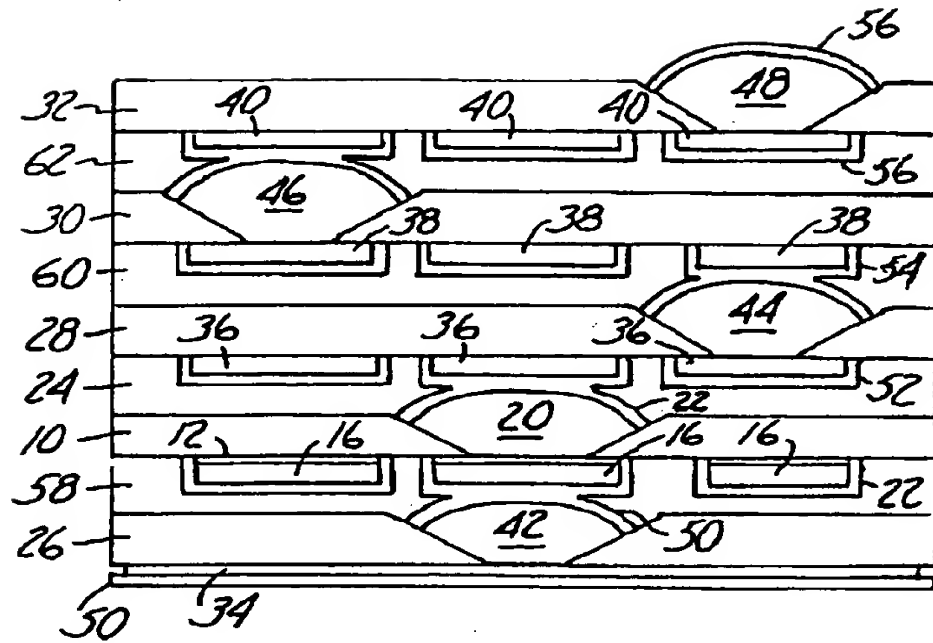


Fig. 10

【図11】

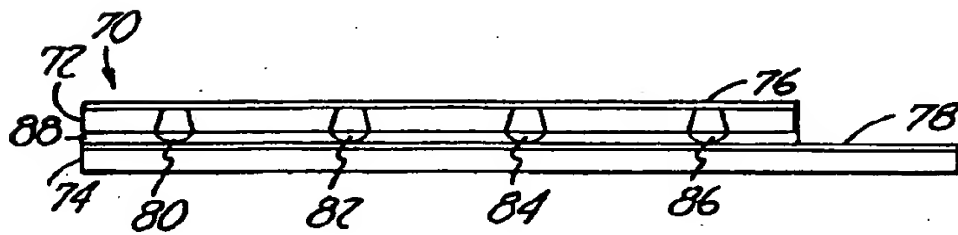


Fig. 11

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Intern. Application No.
PCT/US 94/06387

A. CLASSIFICATION OF SUBJECT MATTER IPC 5 H01L21/48 H05K3/46		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 5 H01L H05K		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP,A,0 494 668 (NEC) 15 July 1992 see the whole document ---	1-10
X	PATENT ABSTRACTS OF JAPAN vol. 17, no. 148 (E-1338) 24 March 1993 & JP,A,04 312 998 (NEC) see abstract ---	1,4-10
X	EP,A,0 543 364 (NEC) 26 May 1993 see abstract; figures ---	1,4-10
X	PATENT ABSTRACTS OF JAPAN vol. 16, no. 158 (E-1191) 17 April 1992 & JP,A,04 010 696 (NITTO DENKO) see abstract --- -/-	1,4-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 5 September 1994		Date of mailing of the international search report 13.09.94
Name and mailing address of the ISA European Patent Office, P.B. 5018 Patentplan 2 NL - 2220 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 431 epo nl Fax (+31-70) 340-3014		Authorized officer Prohaska, G

INTERNATIONAL SEARCH REPORT

Internat'l Application No
PCT/US 94/06387

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 14, no. 380 (E-0965) 16 August 1990 & JP,A,02 137 293 (TOSHIBA LIGHTING & TECHNOL) see abstract ---	1,4-10
A	US,A,5 146 674 (FRANKENY ET AL.) 15 September 1992 ---	
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 213 (E-1356) 26 April 1993 & JP,A,04 350 993 (FUJITSU) ---	
P,X	PATENT ABSTRACTS OF JAPAN vol. 17, no. 528 (E-1437) 22 September 1993 & JP,A,05 144 973 (NEC) see abstract -----	1,4-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat. Application No.

PCT/US 94/06387

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0494668	15-07-92	JP-A- 4312998	04-11-92
		JP-A- 4312999	04-11-92
		JP-A- 5037159	12-02-93
		JP-A- 5206643	13-08-93
		JP-A- 5144973	11-06-93
		JP-A- 5144974	11-06-93
		CA-A- 2059020	10-07-92
		US-A- 5321210	14-06-94
		EP-A- 0526133	03-02-93
		CA-A- 2083077	19-05-93
		EP-A- 0543331	26-05-93
		EP-A- 0543364	26-05-93
		US-A- 5322593	21-06-94
EP-A-0543364	26-05-93	JP-A- 6069652	11-03-94
		JP-A- 5144974	11-06-93
		US-A- 5322593	21-06-94
		CA-A- 2059020	10-07-92
		EP-A- 0494668	15-07-92
		US-A- 5321210	14-06-94
US-A-5146674	15-09-92	NONE	

フロントページの続き

(72)発明者 ギッツ、ピーター エー.
アメリカ合衆国、ミネソタ 55133-3427,
セント ポール、ポスト オフィス ボッ
クス 33427 (番地なし)

NRI Cyber Patent Desk

1989-275960/198938

FUJITSU LTD

JP-1202898-A

Multi-layer circuit board - has press-bond of contact hole to intersections of X and Y-axis conductor patterns NoAbstract Dwg 1/3

会社コード: FUIT

公報発行日: 1989.08.15

代表図面:

ページ:

IPC: H05K 003/46

ダウエントクラス: V04

優先権: 1988.02.09 1988 JP-0027872

出願人: FUJITSU LTD

図面なし

copyright reserved by Thomson/Derwent